

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-057556

(43)Date of publication of application : 27.02.2001

(51)Int. CI.

H04L 12/28

(21)Application number : 11-232074

(71)Applicant : NEC ENG LTD

(22)Date of filing : 19.08.1999

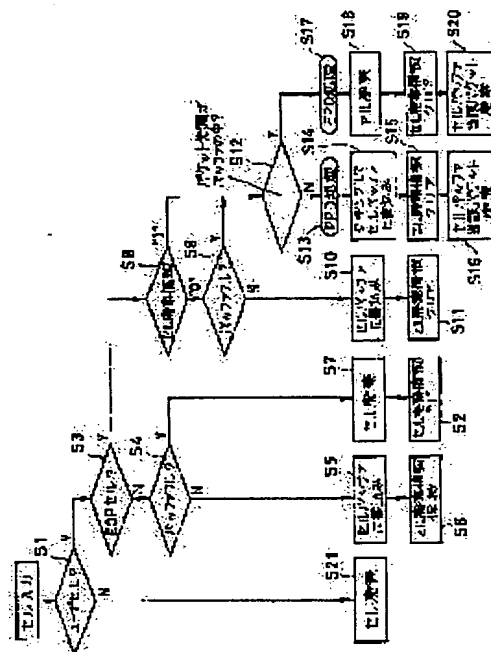
(72)Inventor : HORAGE TOSHIO

(54) BUFFER CONTROLLER AND ITS CONTROL PROCESSING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a buffer control system where a network load can be relieved.

SOLUTION: When a buffer is fully occupied (YES in S4), a cell is aborted (S7), and a cell abort flag is set to '1' and stored (S2). When an input cell is an EOP cell (YES in S3), the cell abort flag is referred (S8). When the cell abort flag is set to '1', whether or not a head cell is stored in a cell buffer is discriminated (S12), and when the head cell is stored in the cell buffer (YES in S12), EPD processing is conducted (S17). When the head cell is outputted (NO in S12), EPD processing is conducted (S13).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(11)特許出願公開番号

特開2001-57556

(P2001-57556.A)

(43)公開日 平成13年2月27日(2001.2.27)

(51) Int.CL?

識別記号

FI

テーマノート* (参考)

H04L 12/28

H04L 11/20

D 5K030

9A001

審査請求 未請求 請求項の数 7 O.L (全 10 頁)

(21)出庫番号 特願平11-232074

(22) 出図日 平成11年8月19日(1999.8.19)

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 洞毛 俊男

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74) 代理人 100088812

井理士 ▲櫻▼川 君 (外1名)

下ターム(参考) 5K030 GAG1 GA13 HA10 DB29 KX11

LC18

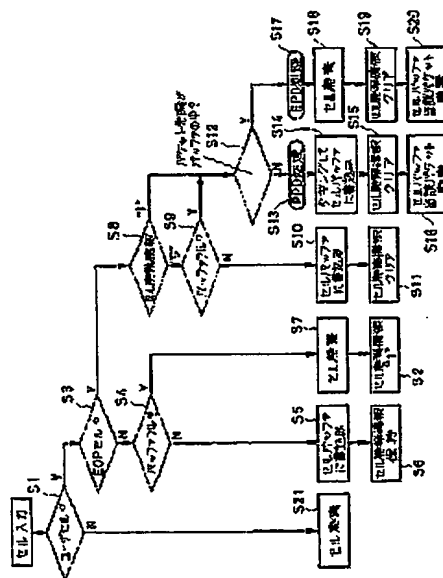
9A001 CCG7 DD10 JJ12 KK56

(54) 【発明の名称】 バッファ制御装置及びその制御処理方法

(57) 【要約】

【課題】 ネットワークの負荷を低減したバッファ制御方式を得る。

【解決手段】 バッファフルの場合は（S4がYES）、セル廃棄を行い（S7）、セル廃棄フラグを“1”にして保持する（S2）。入力セルがEOPセルの場合は（S3がYES）、セル廃棄フラグを参照する（S8）。“1”の場合は、先頭セルがセルバッファの中にあるかどうかを判定し（S12）、中にある場合は（S12がYES）、EPD処理を行なう（S17）。先頭セルが出力されている場合は（S12がNO）、PPD処理を行なう（S13）。



【特許請求の範囲】

【請求項1】 各仮想チャネル毎に設けたバッファメモリーに順次一時格納しながら、パケットを構成するセルを伝送していく非同期トランスファモードのバッファ制御装置であって、前記バッファメモリーがバッファフル状態にあることを検知するバッファフル検出手段と、前記バッファメモリーがバッファフル状態にある時に後続して入力される前記セルを廃棄するバッファフルセル廃棄手段と、前記セルが廃棄された場合にセル廃棄フラグをたてるセル廃棄フラグ発生手段と、前記パケットの最終セルが入力された時前記セル廃棄フラグを参照し前記セル廃棄フラグがなっている場合は同一の前記パケットに属するすべてのセルを廃棄するパケット廃棄手段とを含むことを特徴とするバッファ制御装置。

【請求項2】 さらに、前記パケットの先頭セルの位置を検知するパケット先頭セル検出手段と、前記パケットの最終セルが入力された時前記パケットの先頭セルがすでに前記バッファメモリーから出力されていた場合に前記セルが廃棄されて空になった前記バッファメモリーの先頭部にタギングするタギング手段とを含むことを特徴とする請求項1記載のバッファ制御装置。

【請求項3】 前記バッファフル検出手段は、前記バッファメモリーの前記セルの格納量が閾値を超えた時前記バッファメモリーがバッファフルとなったと判定する様にしたことを特徴とする請求項1あるいは2記載のバッファ制御装置。

【請求項4】 前記バッファフルセル廃棄手段は、一度前記セルの廃棄が発生した場合に前記バッファメモリーの格納状況に関わらず以後の前記同一のパケットに属するすべてのセルを前記最終セルの直前まで廃棄するようにしたことを特徴とする請求項1、2あるいは3記載のバッファ制御装置。

【請求項5】 前記バッファメモリーはファーストインファーストアウトメモリーであることを特徴とする請求項1、2、3あるいは4記載のバッファ制御装置。

【請求項6】 各仮想チャネル毎に設けたバッファメモリーに順次一時格納しつつパケットを構成するセルを伝送する非同期トランスファモードのバッファ制御装置の制御処理方法であって、前記バッファメモリーがバッファフル状態にあることを検知するステップと、前記バッファメモリーがバッファフル状態にある時に後続して入力される前記セルを廃棄するステップと、前記セルが廃棄された場合にセル廃棄フラグをたてるステップと、前記パケットの最終セルが入力された時前記セル廃棄フラグを参照し前記セル廃棄フラグがなっている場合は同一の前記パケットに属するすべてのセルを廃棄するステップとを含むことを特徴とする制御処理方法。

【請求項7】 さらに、前記パケットの先頭セルの位置を検知するステップと、前記パケットの最終セルが入力された時前記パケットの先頭セルがすでに前記バッファ

メモリーから出力されていた場合に前記セルが廃棄されて空になった前記バッファメモリーの先頭部にタギングするステップとを含むことを特徴とする請求項6記載の制御処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はバッファ制御装置及びその制御処理方法に関し、特にATM（非同期トランスファモード）通信装置におけるバッファ制御装置及びその制御処理方法に関する。更に詳しくは、ATM通信装置において、特に共通セルバッファメモリーを有し、EPD（アーリーパケット廃棄）/PPD（部分パケット廃棄）処理を行なうバッファ制御装置の改良に関するものである。

【0002】

【従来の技術】ATM通信装置は、一つの入力ポートから一つの出力ポートへ接続（コネクション）するいくつかの仮想チャネル（VC；バーチャルチャネル）にて構成されている。従来、この種のバッファ制御装置は、例えば特開平10-75252号公報に示される様に、共通セルバッファメモリーを用いたスイッチあるいはマルチプレクサにおいて、EPD制御及びPPD制御を行なうことを目的として用いられている。

【0003】図11は特開平10-75252号公報記載の従来のバッファ制御装置の一例を示すブロック図である。図11において、ルーティングタグ抽出部3は入力セルaのヘッダ部から出力方路情報であるルーティングタグを抽出する。また、書き込み制御部8は空きアドレスFIFO（ファーストインファーストアウト）メモリー10から共通セルバッファ1の空きアドレスを読み出し、共通セルバッファ1にデータを書き込む。同時に、そのアドレスを出力ポートa a～a dに対応する使用中アドレスFIFOメモリー11～14に使用中アドレスとして書き込む。

【0004】読み出し制御部9は使用中アドレスFIFOメモリー11からアドレスを読み出し、共通セルバッファ1をそのアドレスにてアクセスして出力データbを出力する。分岐器（CDI）2は、例えば2.4Gb/sのデータbを出力ポートa a～a dに、それぞれ例えば600Mb/sの信号として出力する。共通バッファキュー長カウンタ6は、共通セルバッファ1にセルデータが書き込まれる毎に一つカウントアップされ、セルデータが読み出される毎に一つカウントダウンされる。従って、共通バッファキュー長カウンタ6においては、共通セルバッファ1に格納されているセルデータの量がキュー長という形にてカウント・保存される。

【0005】キュー長閾値超過検出部7はカウンタ6のカウンタ値を監視し、そのカウンタ値が所定の閾値を超えた場合は、その情報（閾値を超えたかどうかのYES/NO情報）をパケット廃棄制御部4に送る。パケッ

10

20

30

40

50

ト状態管理テーブル5は、VC毎に3つの状態（転送中、休止中、廃棄中）が書き込まれる。バケット廃棄制御部4はこの3つの状態と閾値超過情報jとを参照して書き込み制御部8を制御してEPD制御を行う。共通セルバッファ1の格納状態がフル（満杯）か否かを示すバッファフルフラグkを備えており、このバッファフルフラグkの状態情報がバケット廃棄制御部4に入力される。

【0006】このバケット廃棄制御部4はこのバッファフルフラグkの状態情報とバケット状態管理テーブル5の情報を基に、書き込み制御部8を制御してPPD機能を実現する。尚、ここでのEPD制御とは、セルを書き込むバッファ1の滞留セル数が所定の閾値を超えている状態において新規バケットaをバッファ1内部には入れずに廃棄する制御である。すなわち、バッファ長に閾値を設定し、その閾値を超えた場合に、新たに入力される上記レイヤのバケットを廃棄する制御である。また、PPD制御とは、入力セルaを書き込むバッファ1がフル（満杯）となり、書き込むことができずにセルaが廃棄されてしまった場合、その廃棄されたセルと同一のバケットに属するセルが入力された場合、バッファ1に空きがあってもその入力されたセルを書き込まずに廃棄する制御である。

【0007】尚、EPD制御及びPPD制御においては、AAL（ATMアダプテーションレイヤ）5にては、EOP（エンドオブバケット）表示として、セルのヘッダ部のPT（ペイロードタイプ）を用いているため、これによりバケットを認識して処理を行う。

【0008】

【発明が解決しようとする課題】しかし、図11に示す特開平10-75252号公報記載の従来のバッファ制御装置では、バケット受信中にセル廃棄が発生した場合、新たに入力されるセルに対しては廃棄を行なうが、既にセルバッファに書き込まれているセルに対しては廃棄を行なわないという問題がある。すなわち、セル廃棄により再送の必要が発生したバケットが重複してネットワークを流れることとなり、ネットワークに余分な負荷をかけることとなる。

【0009】また、PPD制御においても、セル廃棄発生後、同一バケットのセルを廃棄し続け、バケットの区切りを付けるためにEOPセルのみの書き込みを行なうが、EOPセル入力時にバッファフルだった場合は、EOPセルの書き込みが行えない問題が生じる。すなわち、次に入力されるバケットとの区切りがなくなり、次のバケットが正常にセルバッファに書き込まれても、セル格納のある結合バケットとなり、正常に入力されたバケットが廃棄される場合が発生する。

【0010】本発明の目的は、ネットワークの負荷を低減したバッファ制御装置及びその制御処理方法を提供することである。すなわち、バケット受信中にセル廃棄が

起こった場合、現在バッファに滞留している当該バケットのセルを廃棄することにより、ネットワークの負荷を低減する。

【0011】また、本発明の他の目的は、PPD処理において結合バケットの発生による正常バケットの廃棄を防止することである。

【0012】

【課題を解決するための手段】本発明によるバッファ制御装置は、各仮想チャネル毎に設けたバッファメモリに順次一時格納しながら、バケットを構成するセルを送信していく非同期トランスファモードのバッファ制御装置であって、前記バッファメモリがバッファフル状態にあることを検知するバッファフル検出手段と、前記バッファメモリがバッファフル状態にある時に後続して入力される前記セルを廃棄するバッファフルセル廃棄手段と、前記セルが廃棄された場合にセル廃棄フラグをたてるセル廃棄フラグ発生手段と、前記バケットの最終セルが入力された時前記セル廃棄フラグを参照し前記セル廃棄フラグがたっている場合は同一の前記バケットに属するすべてのセルを廃棄するバケット廃棄手段とを含むことを特徴とする。

【0013】また、前記バケットの先頭セルの位置を検知するバケット先頭セル検出手段と、前記バケットの最終セルが入力された時前記バケットの先頭セルがすでに前記バッファメモリから出力されていた場合に前記セルが廃棄されて空になった前記バッファメモリの先頭部にタギングするタギング手段とを含むことを特徴とする。

【0014】さらに、前記バッファフル検出手段が、前記バッファメモリの前記セルの格納量が閾値を超えた時前記バッファメモリがバッファフルとなったと判定することを特徴とする。さらにまた、前記バッファフルセル廃棄手段が、一度前記セルの廃棄が発生した場合に前記バッファメモリの格納状況に関わらず以後の前記同一のバケットに属するすべての前記セルを前記最終セルの直前まですべて廃棄することを特徴とする。

【0015】本発明による制御処理方法は、各仮想チャネル毎に設けたバッファメモリに順次一時格納しながらバケットを構成するセルを送信していく非同期トランスファモードのバッファ制御装置の制御処理方法であって、前記バッファメモリがバッファフル状態にあることを検知するステップと、前記バッファメモリがバッファフル状態にある時に後続して入力される前記セルを廃棄するステップと、前記セルが廃棄された場合にセル廃棄フラグをたてるステップと、前記バケットの最終セルが入力された時前記セル廃棄フラグを参照し前記セル廃棄フラグがたっている場合は同一の前記バケットに属するすべてのセルを廃棄するステップとを含むことを特徴とする。

【0016】また、前記バケットの先頭セルの位置を検

10

20

30

40

50

知するステップと、前記バケットの最終セルが入力された時前記バケットの先頭セルがすでに前記バッファメモリから出力されていた場合に前記セルが廃棄されて空になった前記バッファメモリの先頭部にタギングするステップとを含むことを特徴とする。

【0017】本発明の作用は次の通りである。EPD/PPD処理を、書き込みアドレス、読み出しアドレスに加えて、バケット先頭アドレスをカウンタによって管理する。これにより、EPD/PPD処理の際にバッファに滞留している当該バケットの廃棄を実現する。従って、廃棄セルのあるバケットをネットワークに流すことがなくなり、ネットワークの負荷の低減を実現している。また、PPD処理の際の結合バケットの発生による正常なバケットの廃棄をなくしている。

【0018】

【発明の実施の形態】以下に、本発明の実施例について図面を参照して説明する。図1は本発明によるバッファ制御装置の実施例の構成を示すブロック図であり、図2～11と同等部分は同一符号にて示している。図1において、本発明によるバッファ制御装置は、入力されたATM（非同期トランスファモード）セルaをコネクション（仮想チャネル；VC；通信ルート）毎に、蓄積するセルバッファメモリ（セルバッファ）1を有する。尚、セルバッファ1はコネクション毎に分割されたFIFO（ファーストインファーストアウト）メモリ（例えばFIFOメモリ素子にて構成される）である。

【0019】また、入力されたセルaのヘッダ部より、セル種別とコネクション番号との抽出を行なうセル識別部3、入力セルaのコネクション番号から、セルバッファ1への書き込みアドレスを決定する書き込み制御部8を有する。さらに、セルバッファ1からの読み出しアドレスを決定する読み出し制御部9、受信中のバケットにセル廃棄があった場合に、フラグ“1”を保持するセル廃棄管理部21を有する。

【0020】さらにまた、バッファサイズと滞留セル数（書き込みアドレスh－読み出しアドレスg）とを比較することによりバッファフルを検出するバッファフル検出部22を有する。さらに、受信中のバケットの先頭セルがセルバッファ1から出力されていないかどうかを、バケット先頭アドレスfと読み出しアドレスgとを比較することにより検出するバケット先頭セル出力検出部23を有して構成される。

【0021】本発明の実施例の動作を図5のフローチャートにより説明する。まず、セル識別部3は入力セルaのヘッダ部よりユーザセル（通信に使用される通常のセル）の判定、EOP（エンドオブバケット；当該バケットの最終セル；当該バケットの区切りを示す）セルの判定、ルーティング情報であるコネクション（ルート）番号の抽出cを行なう。この情報cを基に、バッファフル検出部22は、入力セルaがユーザセルの場合（ステ

ップS1がYES）、該当コネクションのバッファサイズと滞留セル数（読み出しアドレスd－書き込みアドレスe）とを比較してバッファフル（満杯）の判定を行ない、セル廃棄管理部21に通知する。

【0022】尚、入力セルaがユーザセルでない（例えば通信には使用されない制御セル等）場合は（ステップS1がNO）、当該入力セルaは廃棄する（ステップ21）。また、バケット先頭セル出力検出部23は、受信中のバケットの先頭セルがセルバッファ1から出力されていないかどうかをバケット先頭アドレスfと読み出しアドレスgとを比較することにより検出してセル廃棄管理部21に通知する。セル廃棄管理部21はコネクション毎にセル廃棄フラグiを管理する。

【0023】入力セルaがユーザセルであり（ステップS1がYES）、かつEOPセルでない場合は（ステップS3がNO）、次にバッファ1の状態を参照する（ステップS4）。バッファフルでなければ（ステップS4がNO）、入力セルaをセルバッファ1に書き込む指示を、書き込み制御部8に通知し（ステップS5）、セル廃棄フラグiは前状態を保持する（ステップS6）。バッファフルの場合は（ステップS4がYES）、セル廃棄を行う指示を書き込み制御部8に通知し（ステップS7）、セル廃棄フラグを“1”にして保持する（ステップS2）。

【0024】また、入力セルaがユーザセルであり（ステップS1がYES）、かつEOPセルの場合は（ステップS3がYES）、次にセル廃棄フラグiを参照する（ステップS8）。フラグiが“1”の場合は、当該バケットの先頭セルがセルバッファ1の中にあるかどうかを判定し（ステップS12）、先頭セルがセルバッファ1の中にある場合は（ステップS12がYES）、EPD処理を行なう（ステップS17）。

【0025】また、先頭セルがセルバッファ1から出力されていた場合は（ステップS12がNO）、PPD処理を行う指示を書き込み制御部8に通知する（ステップS13）。セル廃棄フラグiが“0”の場合は、次にバッファ1の状態を参照し（ステップS9）、バッファフルでなければ（ステップS9がNO）、入力セルaをバッファ1に書き込み（ステップS10）、セル廃棄情報iをクリアする（ステップS11）。尚、バッファフルの場合は（ステップS9がYES）、ステップS12に進む。

【0026】書き込み制御部8はセルバッファ1への書き込みアドレス（カウンタ）d、hとバケット先頭アドレス（カウンタ）fとを管理している。また、セル廃棄管理部21より、入力セルaのセルバッファ1への書き込み指示を受信した場合は、セルバッファ1へ書き込みアドレスdを出力し、当該コネクションの書き込みアドレスdを+1インクリメントする。さらに、入力セルaの廃棄指示を受信した場合は、セルバッファ1への音

き込みを停止する。

【0027】EPD処理を受信した場合は(ステップS17)、書き込みアドレスdをバケット先頭アドレスfに書き替えることにより、当該バケットのセルをすべて廃棄する処理を行なう(ステップS18、S19、S20)。PPD処理を受信した場合は(ステップS13)、書き込みアドレスdとバケット先頭アドレスfとを読み出しアドレスe+1に書き替え、入力セルaはタギング(タグ化)してセルバッファ1の読み出しアドレスeに書き込む(ステップS14)。これにより、セルバッファ1に滞留しているセルの廃棄処理とタギングされたEOPセルのみの書き込みとを行う(ステップS15、16)。

【0028】また、EOPセル入力時にセル書き込み指示を受けた場合は、バケット先頭アドレスfを書き込みアドレスd+1に書き替える。読み出し制御部9は読み出しアドレスe、gのカウンタを管理する。セルバッファ1からの読み出し制御を行い、読み出しのあったコネクションのカウンタを+1インクリメントする。

【0029】EPD/PPD処理の動作について図6～10を用いて詳細に説明する。尚、これらの図においては、セルバッファ1中の当該バケットの構成セルの格納状況を示し、EOPセルを黒丸、EOPセル以外のセルを白丸にて示す。当該バケットの構成セルには順次数字(“1”～“m”)を記入して示す。また、セルバッファ1はFIFO(ファーストインファーストアウト)メモリー素子にて構成され、読み出しが行われた量だけ新たなセルの書き込み(格納)が可能となる。

【0030】本発明におけるEPD処理とは、EOPセル入力時に当該バケットにセル廃棄があり、かつ当該バケットの先頭がセルバッファ1の中にある場合に、セルバッファ1に滞留している当該バケットのすべてのセルを廃棄することを行う。また、EOPセル入力時にセル廃棄がなくても、EOPセル自体がバッファフルにより廃棄され、かつ当該バケットの先頭がセルバッファ1の中にある場合も同様の処理を行なう。

【0031】同様に、PPD処理とは、EOPセル入力時に当該バケットにセル廃棄があり、かつ当該バケットの先頭がセルバッファ1から出力されていた場合に、セルバッファ1に滞留している当該バケットのすべてのセルを廃棄し、その後入力されたEOPセルをタギングして、セルバッファ1に書き込む処理のことを言う。また、EOPセル入力時にセル廃棄がなくても、EOPセル自体がバッファフルのため廃棄され、かつ当該バケットの先頭がセルバッファ1から出力されていた場合も同様の処理を行なう。尚、ここでEOPセルをタギングしてセルバッファ1に書き込むのは、次に入力されるバケットとの区切りを付けるためである。

【0032】図6にはEPD処理の一例を示す。図6(a)に示す様に、入力セル番号“1”～“7”はセル

バッファ1に格納されたが、図6(b)に示す様に、入力セル番号“8”、“9”のセルがバッファフルのため廃棄され、セル廃棄フラグが“1”となる。その後、図6(c)に示す様に、セルバッファ1よりセルが読み出され、セルバッファ1に空きができ入力セル番号“10”が格納される。

【0033】ついで、図6(d)に示す様に、入力セル番号“11”のEOPセルの入力時には、セル廃棄フラグが“1”であり、当該バケットの先頭セル“1”がセルバッファ1の中にあるため、図6(e)に示す様にEPD処理を行ない、セルバッファ1に滞留している当該バケットのセルがすべて廃棄される。

【0034】図7にはEPD処理の他の一例を示す。図7(a)～(c)に示す様に、例えば順次セルバッファ1の読み出しが行われ、入力セル番号“1”～“10”が正常に格納される。しかし、図7(d)に示す様に、入力セル番号“11”のEOPセル入力時に、当該バケットにはセル廃棄はないためセル廃棄フラグは“0”であるが、セルバッファ1がバッファフル状態となったとする。この場合、入力セル番号“11”のEOPセルは格納できない。従って、図7(e)に示す様に、当該バケットの先頭セルがセルバッファ1の中にあるため、EPD処理を行ないセルバッファ1に滞留している当該バケットのセルはすべて廃棄される。

【0035】図8にはPPD処理の一例を示す。図8(a)、(b)に示す様に、入力セル番号“1”～“13”は正常に格納(一部は読み出し)されたとする。図8(c)に示す様に、受信中の当該バケットの先頭セル“1”がセルバッファ1から出力後、入力セル番号“14”のセルがバッファフルのため廃棄されセル廃棄フラグが“1”となる。その後、図8(d)に示す様に、入力セル番号“15”のEOPセル入力時に、セル廃棄フラグが“1”であり、当該バケットの先頭セル“1”がセルバッファ1から出力されている。従って、図8(e)に示す様に、PPD処理を行ない、セルバッファ1に滞留している当該バケットのセルをすべて廃棄後、入力されたEOPセルをタギングしてセルバッファの先頭に書込む。

【0036】図9にはPPD処理の他の一例を示す。図9(a)に示す様に、入力セル番号“1”～“7”は正常にセルバッファ1に格納されるが、図9(b)に示す様に、受信中の当該バケットの入力セル番号“8”、“9”のセルがバッファフルのため廃棄され、セル廃棄フラグが“1”となったとする。また、図9(c)に示す様に、セルバッファ1から当該バケットの先頭セル“1”が読み出され、入力セル番号“10”～“14”は正常に格納されたとする。

【0037】その後、図9(d)に示す様に、入力セル番号“15”のEOPセル入力時に、セル廃棄フラグが“1”であり、当該バケットの先頭セル“1”がセルバ

ッファ1から出力されているためPPD処理を行う。その結果、図9(e)に示す様に、セルバッファ1に滞留している当該バケットのセルをすべて廃棄後、入力されたEOPセルをタギングしてセルバッファ1の先頭に書き込む。

【0038】図10にはPPD処理のさらに他の一例を示す。図10(a)~(c)に示す様に、入力セル番号“1”~“14”は正當に格納(一部は読み出し)されたとする。その後、図10(d)に示す様に、入力セル番号“15”のEOPセル入力時に、当該バケットにセル廃棄はないためセル廃棄フラグは“0”であるが、セルバッファ1がバッファフル状態であり、当該バケットの先頭セル“1”がセルバッファ1から出力されているためPPD処理を行う。その結果、図10(e)に示す様に、セルバッファ1に滞留している当該バケットのセルをすべて廃棄後、入力されたEOPセルをタギングしてセルバッファ1の先頭に書き込む。

【0039】図2に本発明の他の実施例をブロック図の形にて示す。図2に示す本発明の他の実施例は、図1に示す本発明の実施例に閾値超過検出部24を追加したものである。図11に示す従来のバッファ制御装置において行っていた閾値超過時の次バケットの廃棄(EPD制御)機能を追加したものであり、閾値超過検出部24に各コネクションの閾値情報を設定しておく。また、セルaが入力された時、当該コネクションの閾値と滞留セル数(書き込みアドレスh-読み出しアドレスg)を比較し、閾値超過の検出を行なう。

【0040】セル廃棄/バケット先頭セル管理部25は、当該バケットの先頭セルが入力された場合、閾値超過信号を参照して閾値超過状態であれば、入力セルを廃棄する指示を書き込み制御部8に通知しセル廃棄フラグを“1”とする。セル廃棄フラグが“1”の間は、当該コネクションに入力されたセルはすべて廃棄しEOPセル入力時にセル廃棄フラグを“0”にする。また、バケットの先頭セルを検出するため、バケット先頭セルフラグを設け、EOPセル入力時に“1”とし、EOPセル以外のユーザセルが入力された時に“0”とする。

【0041】これにより、バケット先頭セルフラグが“1”であって、ユーザセルが入力された場合、その入力セルをバケットの先頭セルとし、上述の処理を行なう。よって、本発明による基本的なEPD/PPD制御に加え、閾値超過時の新たなバケットの書き込み禁止処理を実現する。

【0042】図3に本発明のさらに他の実施例をブロック図の形にて示す。図3に示す本発明の他の実施例は、図1に示す本発明の実施例のセル廃棄管理部21をセル廃棄/タギング管理部26に変更したものである。図1に示す本発明の実施例においては、EOPセル入力時にEPD/PPD処理によるバケット廃棄を行っていたが、この方式ではセル廃棄が発生してからEOPセルが

入力されるまではバケット廃棄を行わない。また、バッファ1に空きがあれば、セル廃棄発生後においても入力セルaの書き込みを行っていた。

【0043】これに対し、図3に示す実施例においては、セル廃棄が発生した時点にてバケット廃棄を行ない、かつそれ以降に入力されたセルaをすべて廃棄することにより、セルバッファ1にセル廃棄後のむだなセルの滞留を防止したものである。

【0044】次に、図3に示す本発明のさらに他の実施例の動作について説明する。尚、図1に示した実施例に対しての追加動作のみについて説明する。図3において、セル廃棄/タギング管理部26はセル廃棄フラグとタギング指示フラグを管理する。入力セルがユーザセルであり、バッファフル検出部22にてバッファフルが検出された場合、セル廃棄/タギング管理部22は入力セルaの廃棄指示を書き込み制御部8に通知してセル廃棄フラグを“1”にする。

【0045】この時、当該バケットがそれ以前にセル廃棄がなく(セル廃棄フラグの前状態が“0”)、バケット内にて初めて廃棄されるセルの場合、EPD/PPD処理を同時に書き込み制御部8に通知する。EPD/PPDの切り替えは、バケット先頭セル出力検出部23にてバケットの先頭セルが、セルバッファ1から出力されていた場合はPPD処理を選択し、セルバッファ1内にある場合はEPD処理を選択する。

【0046】また、PPD処理時には、タギング指示フラグを“1”にする。これ以降に入力されるセルaは、セル廃棄フラグが“1”の間は廃棄を行ない、EOPセル入力時にセル廃棄フラグを“0”にする。EOPセル入力時は同時にタギング指示フラグを参照し、“1”の場合は入力セル(EOPセル)aの廃棄は行なわずタギングしてセルバッファ1に書き込む。これにより、EPD/PPD制御に加えて、セル廃棄時にてのバケット廃棄処理を実現する。

【0047】図4に本発明の別の実施例をブロック図の形にて示す。図4に示す実施例は、図1に示す本発明の実施例に対してカウンタフラグ管理部27を追加したものである。図1に示した実施例においては、バッファフル検出部22、バケット先頭セル出力検出部23にて、書き込みアドレスh、バケット先頭セルアドレスf、読み出しアドレスgの比較を行う。しかし、各アドレスf、g、hは、バケット廃棄時以外は常に加算されて行くため、これを実現するにはアドレスカウンタのビット数(容量)を充分な大容量としておく必要がある。

【0048】例えば、150Mb/sにて入力されたセルaを10年カウントするには、約130ギガ(2の47乗)ビットをカウントする必要があり、47bitカウンタが必要となる。

【0049】図4に示す実施例においては、カウンタフラグ管理部27にて書き込みアドレスカウンタ及びバケ

10

20

30

40

50

ット先頭セルアドレスカウンタのキャリーフラグを管理することにより、各アドレスカウンタのビット数の削減を実現する。次に、図4に示す実施例の動作について説明する。尚、図1に示した実施例に対しての追加動作のみについて説明する。

【0050】図4において、書き込み制御部8は書き込みアドレスカウンタとパケット先頭セルアドレスカウンタとを管理する。また、読み出しアドレス制御部9は読み出しアドレスカウンタを管理する。それぞれのアドレスカウンタのビット数は、例えばセルバッファ1の各コ

ネクションのバッファサイズ数とする。例えば、バッファサイズが512（2の9乗）セルの場合、各アドレスカウンタのビット数は9bitとなる。以下、アドレスカウンタのビット数を9bitとして説明する。

【0051】入力セルaがユーザセルであってセルバッファ1に書き込まれた場合、書き込みアドレスカウンタは+1インクリメントされる。512セル書き込まれた時点にて書き込みアドレスカウンタは0に戻るが、この時発生する書き込みアドレスカウンタのキャリーフラグをカウンタフラグ管理部27に通知する。また、EOPセルが入力され、パケット先頭アドレスが次のカウンタ周期に入った場合も、パケット先頭アドレスカウンタのキャリーフラグをカウンタフラグ管理部27に通知する。

【0052】カウンタフラグ管理部27は書き込み制御部8より各キャリーフラグを受信した場合、当該コネクションの各キャリーフラグを“1”にする。それぞれのキャリーフラグは、読み出しアドレスカウンタが512セル読み出し、次のカウンタ周期に入った時に“0”になる。また、このフラグ情報をバッファフル検出部22、パケット先頭セル検出部23に通知し、それぞれのブロックにてアドレスの上位ビットに付加（追加）し比

較を行なうことにより、アドレスの大小関係が保証される。これにより、EPD/PPD制御をより小規模な回路にて実現できる。

【0053】

【発明の効果】以上説明したように本発明は、パケット受信中にセル廃棄が起こった場合、現在バッファに滞留している当該パケットのセルを廃棄することにより、ネットワークの負荷を低減する効果がある。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】本発明の他の実施例のブロック図である。

【図3】本発明のさらに他の実施例のブロック図である。

【図4】本発明のまたさらに他の実施例のブロック図である。

【図5】本発明の実施例のフローチャートである。

【図6】EPD処理動作の一例の説明図である。

【図7】EPD処理動作の他の一例の説明図である。

【図8】PPD処理動作の一例の説明図である。

【図9】PPD処理動作の他の一例の説明図である。

【図10】PPD処理動作のさらに他の一例の説明図である。

【図11】従来のバッファ制御装置の一例のブロック図である。

【符号の説明】

1 セルバッファ

3 セル識別部

8 書き込み制御部

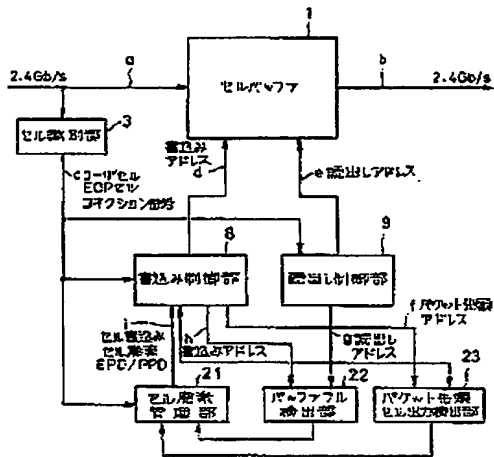
9 読み出し制御部

21 セル廃棄管理部

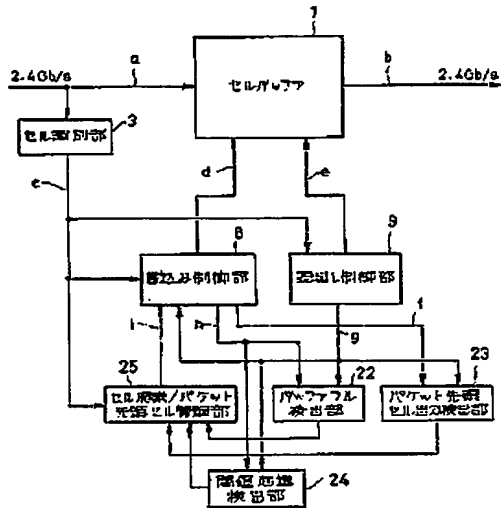
22 バッファフル検出部

23 パケット先頭セル出力検出部

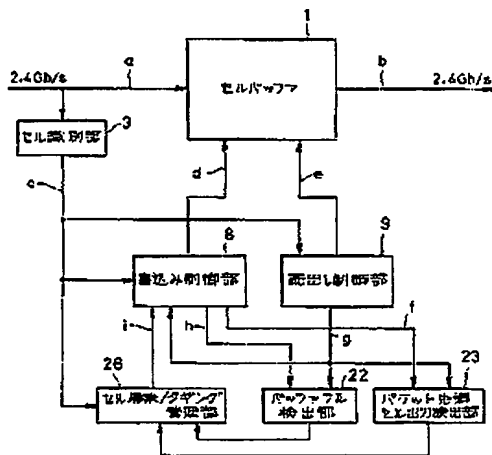
【図1】



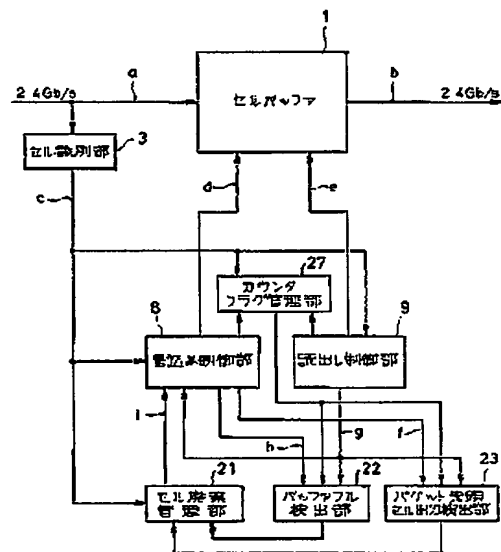
【図2】



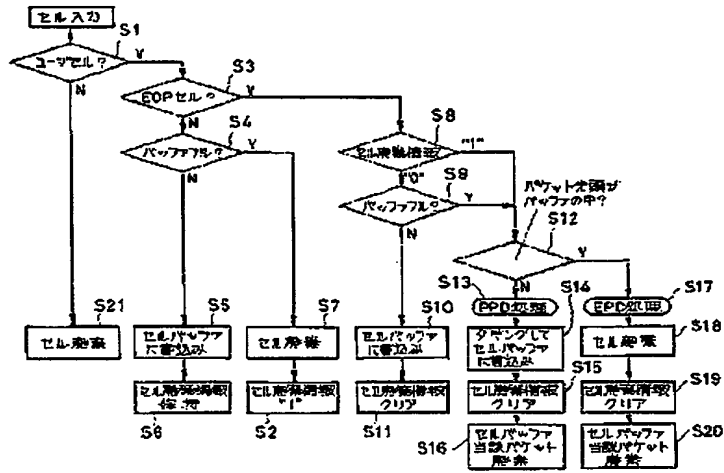
【図3】



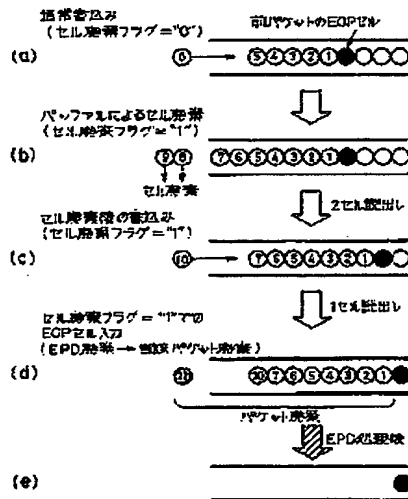
【図4】



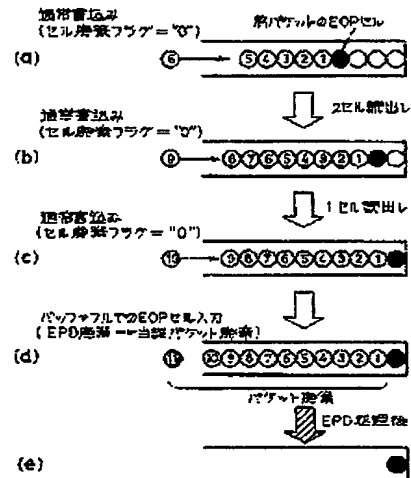
【図5】



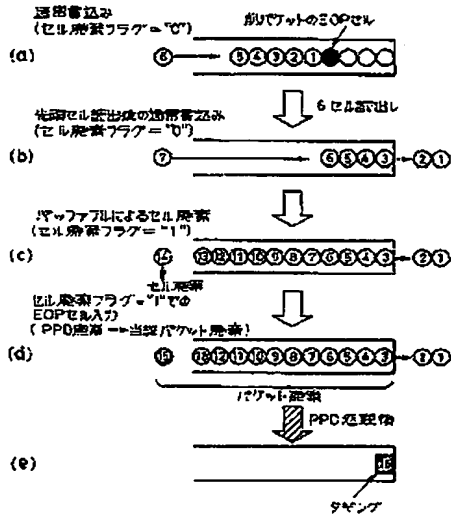
【図6】



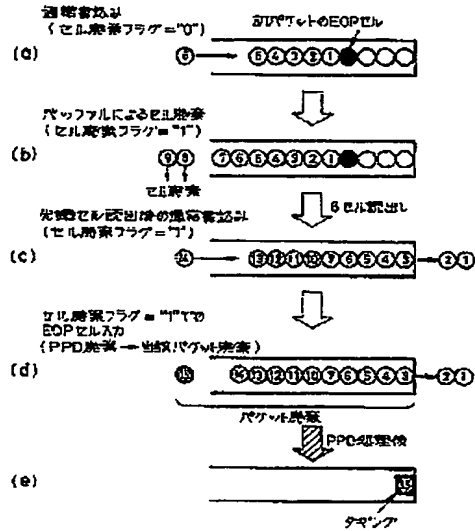
【図7】



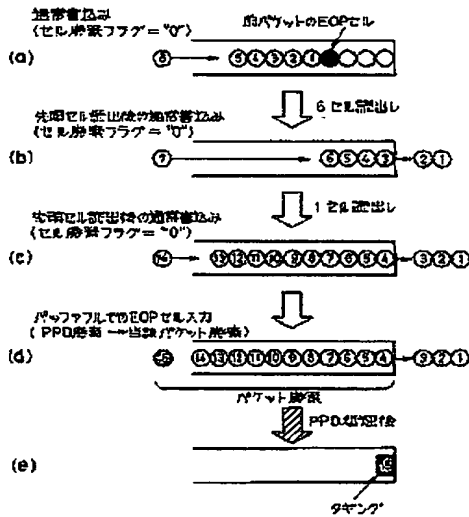
【図8】



【図9】



【図10】



【図11】

